



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05110025 A**(43) Date of publication of application: **30.04.93**

(51) Int. Cl.

H01L 27/108
H01L 27/04
(21) Application number: **03271454**(22) Date of filing: **18.10.91**(71) Applicant: **FUJITSU LTD**
(72) Inventor: **SAITO TSUTOMU**
HIZUYA KENICHI
SHIOTANI YOSHIMI
(54) **SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**

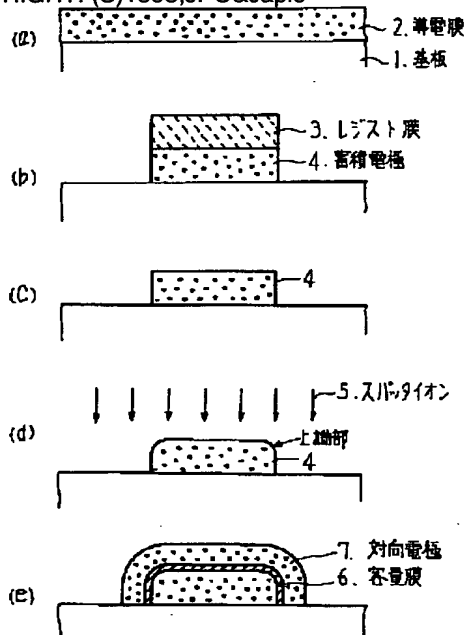
(57) Abstract:

PURPOSE: To secure breakdown strength for capacitor film, to form an excellent cell capacitor, and to accomplish the title semiconductor device of large capacitance to be operated at high speed by a method wherein the storage electrode of a capacitor, to be formed on a substrate, is constructed in such a manner that it has the rounded upper edge face and also it has forward taper structure side face.

CONSTITUTION: A conductive film 2 is formed on a substrate 1, and an accumulated electrode 4 is formed by patterning the conductive film 2 by anisotropic dry-etching using a resist film 3 as a mask. Then, the resist film 3 is removed, and the upper edge face of the accumulated electrode 4 is rounded by sputter ions 5. As a result, the deterioration of breakdown strength of the capacitor film can be prevented, and not only horizontal direction but also vertical direction is not etched by sputter ions. Also, hydrogen bromide is added to sputter ions 5 when the sputter-ion etching is conducted, a taper is formed in the forward direction on the side wall of the accumulated electrode 4, and when both

methods are jointly used, the effect can be made higher.

COPYRIGHT: (C)1993,JPO&Japio



(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-110025

(43)公開日 平成5年(1993)4月30日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/108

27/04

C 8427-4M

8728-4M

H 0 1 L 27/ 10

3 2 5 M

審査請求 未請求 請求項の数4(全 5 頁)

(21)出願番号

特願平3-271454

(22)出願日

平成3年(1991)10月18日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 齋藤 勉

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 日数谷 健一

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 塩谷 喜美

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

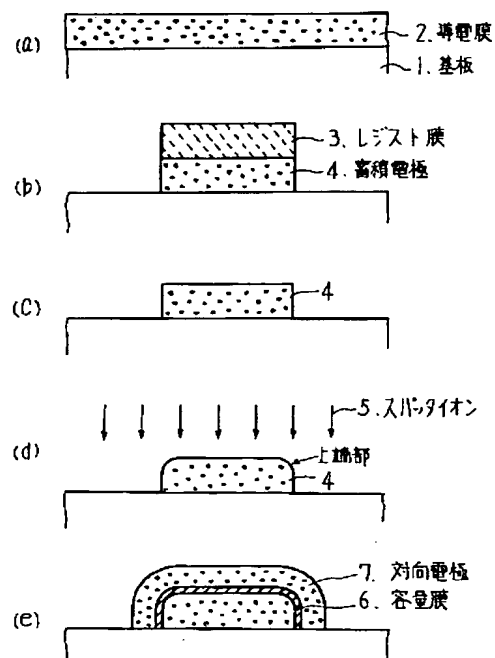
(54)【発明の名称】 半導体装置とその製造方法

(57)【要約】

【目的】 本発明は半導体装置のキャパシタの断面構造に関し、容量、耐圧ともに良好なセル容量を形成することを目的とする。

【構成】 基板1上に形成された容量の蓄積電極4の上端面が丸められた構造を有するように、更に、前記蓄積電極4の側面が順テーパ構造を有するように構成する。

本発明の原理説明図



【特許請求の範囲】

【請求項1】 基板(1)上に形成された容量の蓄積電極(4)の上端面が丸められた構造を有することを特徴とする半導体装置。

【請求項2】 前記蓄積電極(4)の側面が順テーパ構造を有することを特徴とする請求項1記載の半導体装置。

【請求項3】 基板(1)上に形成された容量の蓄積電極(4)であって、
基板(1)上に導電膜(2)を形成する工程と、
レジスト膜(3)をマスクとして、該導電膜(2)を異方性ドライエッチングによりパターニングして、蓄積電極(4)を形成する工程と、
次に、該レジスト膜を除去する工程と、
続いて、スパッタイオン(5)によるエッチングにより、該蓄積電極(4)の上端面を丸める工程とを含むことを特徴とする半導体装置の製造方法。

【請求項4】 前記スパッタイオン(5)のエッチングにおいて、スパッタイオン(5)に臭化水素を添加して、前記蓄積電極(4)の側壁を順テーパ形状とする工程とを含むことを特徴とする請求項3記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置の容量(キャパシタ)の構造に関する。近年のDRAMは、高集積化により、メモリーセルのキャパシタ面積が減少して、従来の単純な構造ではキャパシタの容量が不足する。

【0002】そのため、小面積でキャパシタ容量を大きくとれる構造が必要となる。

【0003】

【従来の技術】図4は従来例の説明図である。図において、17は半導体基板、18は蓄積電極、19は容量膜、20は対向電極である。

【0004】DRAMは転送トランジスタと蓄積容量とで構成され、その容量値はソフトエラー耐性で下限値が決まる。この下限値は25fF程度であり、容量膜(誘電体膜)として、5nmの厚さの酸化膜を用いても目標のセル面積より大きな容量部面積が必要となる。また容量膜もできるだけ薄膜化して、且つ耐圧も大きくする必要がある。

【0005】半導体基板17上に形成されるセル容量は通常、図3に示すように、蓄積電極18と絶縁体膜からなる容量膜19を介して対向電極20が形成された構造になっている。

【0006】この容量を大きくするために、蓄積電極18の面積をなるべく大きくする方向と、容量膜19を薄くする方向がある。容量膜19が薄くなるにつれて、蓄積電極18の構造に敏感になってきている。

【0007】具体的には、蓄積電極18の形状に角部が存

在すると、その部分に電解が集中して容量膜19の絶縁耐圧が劣化してしまう。蓄積電極18は、形状的には微細化とともに垂直形状が好ましいが、前述のような問題点が発生する。

【0008】

【発明が解決しようとする課題】従って、容量、耐圧ともに良好なセル容量を形成することができず、デバイスの高集積化、高速化の妨げとなっていた。

【0009】本発明は、以上の問題点を解決するための蓄積容量の電極構造およびその製造方法に関するものである。

【0010】

【課題を解決するための手段】図1は本発明の原理説明図である。図において、1は基板、2は導電膜、3はレジスト膜、4は蓄積電極、5はスパッタイオン、6は容量膜、7は対向電極である。

【0011】上記の問題点を解決する手段として、基本的には、蓄積電極の上端面の角部をなくして、上端面を丸めたなだらかな面とすれば良い。即ち、本発明の目的は、図1(d)に示すように、基板1上に形成された容量の蓄積電極4の上端面が丸められた構造を有することにより、また、前記蓄積電極4の側面が順テーパ構造を有することにより、更に、図1(a)に示すように、基板1上に導電膜2を形成する工程と、図1(b)に示すように、レジスト膜3をマスクとして、該導電膜2を異方性ドライエッチングによりパターニングして、蓄積電極4を形成する工程と、次に、図1(c)に示すように、該レジスト膜を除去する工程と、続いて、図1(d)に示すように、スパッタイオン5によるエッチングにより、該蓄積電極4の上端面を丸める工程とを含むことにより、更に、また、前記スパッタイオン5のエッチングにおいて、スパッタイオン5に臭化水素を添加して、前記蓄積電極4の側壁を順テーパ形状とする工程とを含むことにより達成される。

【0012】

【作用】本発明では、図1に示すように、蓄積電極の上端面がアルゴン等の不活性イオンを用いたスパッタにより丸められている。このため、容量膜の耐圧が劣化しなくなる。

【0013】また、用いるスパッタイオンによって横方向は勿論、縦方向も殆どエッチングされないで済む。一方、従来のテーパエッチングを行った場合でも、上端面の電解集中はかなり緩和されるため、本発明の蓄積電極の上端面を丸める方法に、更に、蓄積電極の側面を順テーパにする方法を併用すると、効果が大きくなる。

【0014】

【実施例】図2は本発明の一実施例の工程順模式断面図であり、蓄積容量部の構造および製造方法を示す。

【0015】図において、8はシリコン(Si)基板、9は二酸化シリコン(SiO₂)膜、10は多結晶シリコン(ポリS

i) 蓄積電極、11はレジスト膜、12は塩素(Cl_2)ガス、13は酸素(O)プラズマ、14はアルゴン(Ar)イオン、15は窒化シリコン(Si_3N_4)膜、16はポリSi対向電極である。

【0016】図2(a)に示すように、 SiO_2 膜9を被覆したSi基板8上にポリSi膜をCVD法により、3,000Åの厚さに積層し、続いて、エッチングガスとして、 Cl_2 ガス12を圧力0.1Torr、出力300Wで、レジスト膜11をマスクとして、異方性ドライエッチングを行ない、パターニングしてポリSi蓄積電極10を形成する。

【0017】図2(b)に示すように、Oプラズマ13によるアッシングでレジスト膜10を除去する。図2(c)に示すように、Arガスを用いたプラズマスパッターを行う。即ち、Arガス100sccm 圧力0.2Torr、圧力0.2Torr、周波数13.56MHz、スパッタレート100Å/minの条件で2分間行くと、Arイオン14によるポリSi蓄積電極10へのエッチングによりポリSi蓄積電極10の平面上、45°方向が選択的にエッチングされてポリSi蓄積電極10の上端面の角部が丸くなる。

【0018】図2(d)に示すように、通常の工程によりCVD法により、容量膜として、600℃にて Si_3N_4 膜15を70Åの厚さに、その上に、更に、ポリSi対向電極16を、CVD法により、2,000Åの厚さに形成して、キャパシタを完成する。

【0019】上記条件で形成した本発明の蓄積電極と、従来例の蓄積電極との断面形状の違いにより、図3のように容量膜耐圧とデバイスの歩留り比率に大きな差が出る。即ち、本発明では容量膜である Si_3N_4 膜15の厚さが70~90Åにおいて、いずれも正常な耐圧を保持することができ、また歩留りも従来例に比べて2倍~3倍も大きくなる。

【0020】また、前記のArイオン14によるスパッタエッチングの場合に、エッチングガスとしてArガスに臭化

水素(HBr)を90:10の割合で添加すると、ポリSi蓄積電極10の側面が順テーパ状に形成され、また、 HBr だけでなく酸素(O_2)ガスを同時に添加することもでき、より耐圧を良好にして、歩留りを上げることができる。

【0021】

【発明の効果】以上、本発明によれば、蓄積電極の上端面、更に側面がなだらかとなって、容量膜の耐圧が確保でき、良好なセル蓄積容量を形成することが可能となり、デバイスの大容量化、高速化に大きく貢献する。

10 【図面の簡単な説明】

【図1】 本発明の原理説明図

【図2】 本発明の一実施例の工程順模式断面図

【図3】 本発明と従来例の蓄積電極断面形状と容量膜耐圧及び歩留比

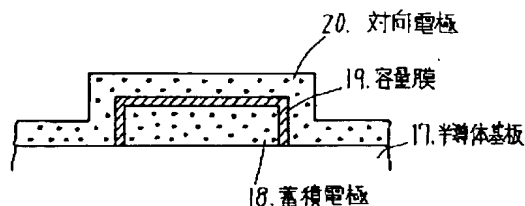
【図4】 従来例の説明図

【符号の説明】

- 1 基板
- 2 導電膜
- 3 レジスト膜
- 20 4 蓄積電極
- 5 スパッタイオン
- 6 容量膜
- 7 対向電極
- 8 Si基板
- 9 SiO_2 膜
- 10 ポリSi蓄積電極
- 11 レジスト膜
- 12 塩素ガス
- 13 Oプラズマ
- 30 14 Arイオン
- 15 Si_3N_4 膜
- 16 ポリSi対向電極

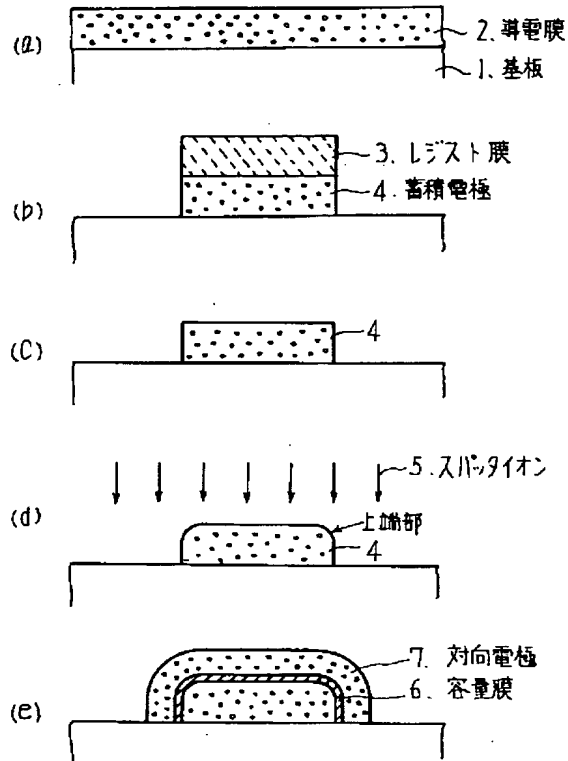
【図4】

従来例の説明図



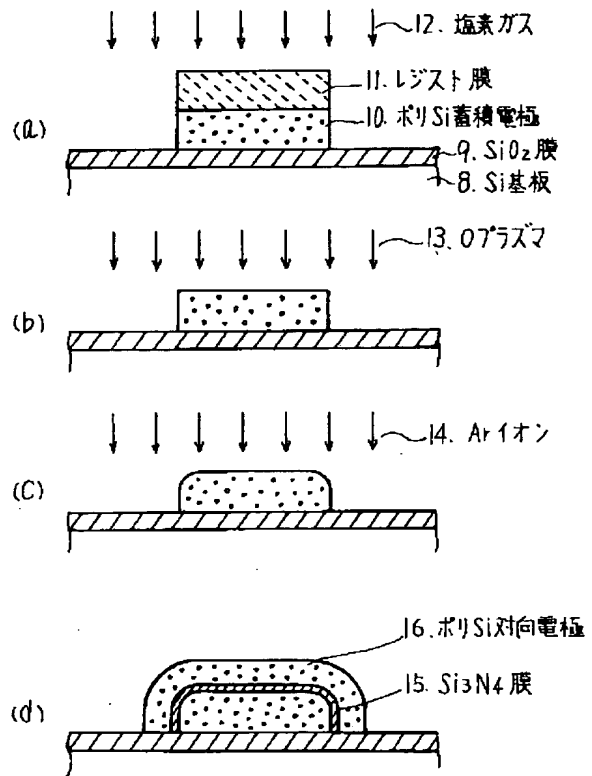
【図1】

本発明の原理説明図



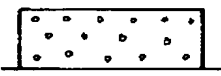
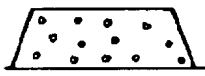
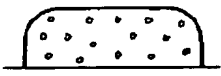
【図2】

本発明の一実施例の工程順模式断面図



【図3】

本発明と従来例の蓄積電極断面形状と
容量膜耐圧及び歩留比

| | | 従来例 1 | 従来例 2 | 本発明 |
|--------------|---------------------|---|--|---|
| 蓄積電極 断面形状 | |  |  |  |
| 容量膜耐圧 | SIN 70 Å | 0~4.0V | 0~4.4V | 4.6~4.8V |
| | SIN 90 Å | 0~5.2V | 5.0~5.4V | 5.4~5.8V |
| 歩留比 | 4M-DRAM SIN 70 Å | 1 | 1.5 | 2.8 |